

Family list

6 family members for:

JP2003050405

Derived from 6 applications.

- 1 **Thin film transistor array and its manufacturing method and display board using same**
Publication info: CN1353329 A - 2002-06-12
- 2 **TFT display matrix having pixel electrodes formed simultaneously with the TFT channel**
Publication info: EP1209748 A1 - 2002-05-29
- 3 **THIN FILM TRANSISTOR ARRAY, ITS MANUFACTURING METHOD AND DISPLAY PANEL USING THE SAME ARRAY**
Publication info: JP2003050405 A - 2003-02-21
- 4 **THIN FILM TRANSISTOR ARRAY, METHOD OF PRODUCING THE SAME, AND DISPLAY PANEL USING THE SAME**
Publication info: SG102643 A1 - 2004-03-26
- 5 **No English title available**
Publication info: TW588209 B - 2004-05-21
- 6 **Thin film transistor array, method of producing the same, and display panel using the same**
Publication info: US2002056838 A1 - 2002-05-16

Data supplied from the esp@cenet database - Worldwide

Best Available Copy

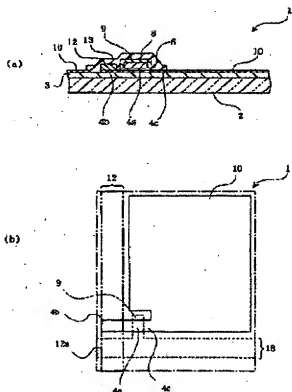
THIN FILM TRANSISTOR ARRAY, ITS MANUFACTURING METHOD AND DISPLAY PANEL USING THE SAME ARRAY

Patent number: JP2003050405
 Publication date: 2003-02-21
 Inventor: OGAWA KAZUFUMI
 Applicant: MATSUSHITA ELECTRIC IND CO LTD
 Classification:
 - International: G02F1/1368; G09F9/30; H01L21/28; H01L29/786;
 G02F1/13; G09F9/30; H01L21/02; H01L29/66; (IPC1-7):
 G02F1/1368; G09F9/30; H01L21/28; H01L29/786
 - european:
 Application number: JP20010348260 20011114
 Priority number(s): JP20010348260 20011114; JP20000347796 20001115;
 JP20010161830 20010530; JP20010162445 20010530

Report a data error here

Abstract of JP2003050405

PROBLEM TO BE SOLVED: To provide the manufacturing method of a TFT(thin film transistor) array having simple processes.
SOLUTION: In this manufacturing method, a semiconductor-material film which is formed on a substrate is worked into the channel part, the source part and the drain part of a TFT by imparting electrical conductivity to prescribed regions of the film and also is worked into an electrically conductive element including a pixel electrode which is connected to the drain part. A region consisting of an intrinsic semiconductor which does not include impurities is made to be the active layer (channel region) of the thin film transistor and the region added with impurities is made to be the electrically conductive element of the transistor. When a transparent electrode is formed, an oxide semiconductor is used in this manufacturing method.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-50405

(P 2 0 0 3 - 5 0 4 0 5 A)

(43) 公開日 平成15年2月21日 (2003.2.21)

(51) Int. Cl. ⁷	識別記号	F I	テラコート (参考)
G02F 1/1368		G02F 1/1368	2H092
G09F 9/30	330	G09F 9/30	330 Z 4M104
	338		338 5C094
	339		339 A 5F110
H01L 21/28	301	H01L 21/28	301 B

審査請求 有 請求項の数59 O L (全19頁) 最終頁に続く

(21) 出願番号 特願2001-348260 (P 2001-348260)

(22) 出願日 平成13年11月14日 (2001.11.14)

(31) 優先権主張番号 特願2000-347796 (P 2000-347796)

(32) 優先日 平成12年11月15日 (2000.11.15)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願2001-161830 (P 2001-161830)

(32) 優先日 平成13年5月30日 (2001.5.30)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願2001-162445 (P 2001-162445)

(32) 優先日 平成13年5月30日 (2001.5.30)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者

小川 一文

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(74) 代理人 100101823

弁理士 大前 要

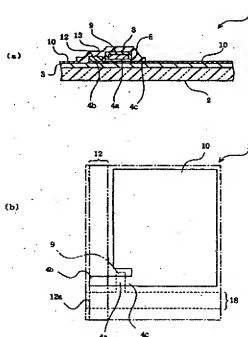
最終頁に続く

(54) 【発明の名称】 薄膜トランジスタレイ、その製造方法およびそれを用いた表示パネル

(57) 【要約】

【課題】 工程が簡素な T F T アレイの製造方法を提供する。

【解決手段】 基板上に形成された半導体材料膜を、その所定の領域に導電性を付与することによって、T F T のチャネル部、ソース部およびドレイン部に加工するとともに、ドレイン部に接続された画素電極を含む導電要素に加工する。不純物を含まない真性半導体からなる領域を薄膜トランジスタの活性層 (チャネル領域) とし、不純物を添加された領域を導電要素とする。透明な電極を形成する場合には、酸化半導体を用いられる。



【特許請求の範囲】

【請求項1】 絶縁性の基板と、

前記基板上にマトリクス状に配された、チャネル部、ソース部およびドレイン部からなる半導体層を備えた薄膜トランジスタと、

同一列上の前記薄膜トランジスタにソース信号を供給するソース信号線と、

同一行上の前記薄膜トランジスタにゲート信号を供給するゲート信号線と、

前記薄膜トランジスタのドレインに接続された画素電極とを具備し、前記画素電極が、前記薄膜トランジスタの半導体層を構成する材料と同じ半導体材料を含む薄膜トランジスタアレイ。 10

【請求項2】 前記半導体層および前記画素電極が、一体に形成されたものである請求項1記載の薄膜トランジスタアレイ。

【請求項3】 前記半導体層、前記画素電極、および前記画素電極を区画する絶縁要素が、単一の半導体材料膜に含まれる請求項1記載のトランジスタアレイ。

【請求項4】 前記半導体材料が光透過性を有する請求項1記載の薄膜トランジスタアレイ。 20

【請求項5】 前記半導体材料が酸化物半導体である請求項1記載の薄膜トランジスタアレイ。

【請求項6】 前記酸化物半導体が、酸化亜鉛、酸化マグネシウム重鉛、酸化カドミウム重鉛および酸化カドミウムからなる群より選択される一種である請求項5記載の薄膜トランジスタアレイ。

【請求項7】 前記半導体層と前記ソース信号線が直接に接続された請求項1記載の薄膜トランジスタアレイ。

【請求項8】 前記ゲート信号線および前記ソース信号線は、互いに交差する領域を除いて、同じ材料からなり、同一層に配された請求項1記載の薄膜トランジスタアレイ。 30

【請求項9】 一方の前記信号線は、他方と交差する領域を除いて配された節状要素と、前記画素電極を構成する材料と同じ半導体材料を含み、他方の信号線を覆って配された前記節状要素を接続する要素とを有する請求項8記載の薄膜トランジスタアレイ。

【請求項10】 前記ゲート信号線および前記ソース信号線は、一方の表面に形成された絶縁性の酸化膜によって、交差する領域において互いに絶縁された請求項1記載の薄膜トランジスタアレイ。 40

【請求項11】 前記画素電極が島形であって、前記画素電極と対をなし、前記基板上に配された島形の対向電極を備えた請求項1記載の薄膜トランジスタアレイ。

【請求項12】 前記対向電極が、前記信号線的一方と同一層に配された請求項11記載の薄膜トランジスタアレイ。

【請求項13】 前記対向電極が、前記ゲート信号線と同一層に配され、その表面に絶縁性の酸化膜を備えた請 50

求項12記載の薄膜トランジスタアレイ。

【請求項14】 前記対向電極が、絶縁層を覆って前記画素電極よりも上層に配された請求項11記載の薄膜トランジスタアレイ。

【請求項15】 前記画素電極が光透過性を有し、前記画素電極に電気的に接続された、光反射性を有する他の画素電極をさらに具備する請求項1記載の薄膜トランジスタアレイ。

【請求項16】 薄膜トランジスタのゲート電極の表面に絶縁性の酸化膜を備えた請求項1記載の薄膜トランジスタアレイ。

【請求項17】 前記基板の前記薄膜トランジスタが配された側の表面に形成されたアンダーコート膜をさらに具備する請求項1記載の薄膜トランジスタアレイ。

【請求項18】 絶縁性の基板と、

前記基板上にマトリクス状に配された、チャネル部、ソース部およびドレイン部からなる半導体層を備えた薄膜トランジスタと、

同一列上の前記薄膜トランジスタにソース信号を供給するソース信号線と、

同一行上の前記薄膜トランジスタにゲート信号を供給するゲート信号線と、

前記薄膜トランジスタのドレインに接続された画素電極とを具備し、ソース部およびドレイン部がそれぞれ、互いに同じ材料からなるソース信号線および画素電極と直接に接続された薄膜トランジスタアレイ。

【請求項19】 前記ソース信号線および画素電極が、アルミニウムまたはアルミニウム合金からなる請求項18記載の薄膜トランジスタアレイ。

【請求項20】 前記対向電極が、絶縁層を覆って前記画素電極よりも上層に配された請求項18記載の薄膜トランジスタアレイ。

【請求項21】 前記基板の前記薄膜トランジスタが配された側の表面に形成されたアンダーコート膜をさらに具備する請求項18記載の薄膜トランジスタアレイ。

【請求項22】 絶縁性の基板と、前記基板上にマトリクス状に配された、チャネル部、ソース部およびドレイン部からなる半導体層を備えた薄膜トランジスタと、同一列上の前記薄膜トランジスタにソース信号を供給するソース信号線と、同一行上の前記薄膜トランジスタにゲート信号を供給するゲート信号線と、前記薄膜トランジスタのドレインに接続された画素電極とを具備する薄膜トランジスタアレイの製造方法であって、基板上に形成された半導体材料膜の所定の領域にp型またはn型の不純物を添加して、前記半導体材料膜を、画素電極および薄膜トランジスタの半導体層を含む複数の要素に加工する薄膜トランジスタアレイの製造方法。

【請求項23】 前記半導体材料が酸化物半導体である請求項22記載の薄膜トランジスタアレイの製造方法。

【請求項24】 前記酸化物半導体が、酸化亜鉛、酸化

マグネシウム亜鉛、酸化カドミウム亜鉛および酸化カドミウムからなる群より選択される一種である請求項 2 記載の薄膜トランジスタアレイの製造方法。

【請求項 25】 前記半導体材料膜に接続してあらかじめ形成された導電要素を拡散源に用いた熱拡散法により、前記導電要素の構成元素を前記半導体材料膜の所定の領域に拡散させる請求項 2 記載の薄膜トランジスタアレイの製造方法。

【請求項 26】 前記不純物が注入される前の前記半導体材料膜が所定量の不純物を含む請求項 2 記載の薄膜トランジスタアレイ基板の製造方法。

【請求項 27】 基板上に半導体材料膜を形成する工程と、

前記半導体材料膜を、薄膜トランジスタの半導体層および前記半導体層に接続した画素電極を形成しようとする領域を含む形状に加工する工程と、

加工された半導体材料膜の上に絶縁層を形成する工程と、

前記絶縁層の上に金属膜を形成する工程と、

前記金属膜を、前記半導体材料膜のチャネル部を形成しようとする領域を覆うゲート電極、および前記ゲート電極に接続されたゲート信号線に対応した形状に加工する工程と、

加工された金属膜の露出した表面に、酸化絶縁膜を形成して、ゲート電極およびゲート信号線を得る工程と、

前記ゲート電極をマスクにして前記半導体材料膜に p 型または n 型の不純物を添加することにより、前記半導体材料膜をチャネル部、ソース部、ドレイン部および画素電極に加工する工程と、

前記半導体材料膜が形成された前記基板の表面に導電膜を形成する工程と、

前記導電膜を加工して、前記ソース部に接続された前記ソース信号線を形成する工程とを含む請求項 2 記載の薄膜トランジスタアレイの製造方法。

【請求項 28】 前記導電膜を加工する工程において、前記導電膜を加工して前記画素電極に接続された他の画素電極をさらに形成する請求項 2 記載の薄膜トランジスタアレイ基板の製造方法。

【請求項 29】 前記画素電極が楔形であって、前記金属膜を加工する工程において、前記金属膜を加工して前記画素電極と対をなす楔形の対向電極をさらに形成する請求項 2 記載の薄膜トランジスタアレイの製造方法。

【請求項 30】 前記酸化絶縁膜を陽極酸化法によって形成する請求項 2 記載の薄膜トランジスタアレイの製造方法。

【請求項 31】 前記金属膜が、アルミニウムまたはアルミニウム合金からなる請求項 2 記載の薄膜トランジスタアレイの製造方法。

【請求項 32】 前記半導体材料膜を形成する工程に先立って、前記基板上に無機物からなるアンダーコート層

を形成する工程をさらに含む請求項 2 記載の薄膜トランジスタアレイの製造方法。

【請求項 33】 前記ソース信号線が形成された前記基板上に無機物からなる保護層を形成する工程をさらに含む請求項 2 記載の薄膜トランジスタアレイの製造方法。

【請求項 34】 基板上に導電膜を形成する工程と、前記導電膜を加工して薄膜トランジスタのゲート電極および前記ゲート電極に接続されたゲート信号線を形成する工程と、

前記ゲート電極および前記信号線が形成された前記基板の表面に絶縁膜を形成する工程と、

前記絶縁膜が形成された前記基板の表面に半導体材料膜を形成する工程と、

前記半導体材料膜を、薄膜トランジスタの半導体層と前記半導体層に接続した画素電極とを形成しようとする領域を含む形状に加工する工程と、

前記半導体層のチャネル部を形成しようとする領域を覆うマスクを用いて、前記半導体材料膜に p 型または n 型の不純物を注入することにより、前記半導体材料膜を前記チャネル部、ソース部、ドレイン部および画素電極に加工する工程と、

前記チャネル部が形成された表面に導電膜を形成する工程と、

前記導電膜を加工して、前記ソース部に接続された前記ソース信号線を形成する工程とを含む請求項 2 記載の薄膜トランジスタアレイの製造方法。

【請求項 35】 前記導電膜を加工する工程において、前記導電膜を加工して前記画素電極に接続された他の画素電極をさらに形成する請求項 3 記載の薄膜トランジスタアレイの製造方法。

【請求項 36】 前記画素電極が楔形であって、前記金属膜を加工する工程において、前記金属膜を加工して前記画素電極と対をなす楔形の対向電極をさらに形成する請求項 3 記載の薄膜トランジスタアレイの製造方法。

【請求項 37】 前記画素電極が楔形であって、前記ソース信号線が形成された前記基板の表面に絶縁膜を形成する工程と、

前記絶縁層上に前記画素電極と対をなす楔形の対向電極を形成する工程とをさらに含む請求項 3 記載の薄膜トランジスタアレイ基板の製造方法。

【請求項 38】 基板上に導電膜を形成する工程に先立って、前記基板上に無機物からなるアンダーコート層を形成する工程をさらに含む請求項 3 記載の薄膜トランジスタアレイの製造方法。

【請求項 39】 前記ソース信号線が形成された前記基板上に無機物からなる保護層を形成する工程をさらに含む請求項 3 記載の薄膜トランジスタアレイの製造方法。

【請求項 40】 基板上に金属膜を形成する工程と、

前記金属膜が形成された前記基板の表面に絶縁膜を形成する工程と、

前記金属膜および絶縁膜を、形成しようとするゲート信号線、前記ゲート信号線に接続されたゲート電極および前記ゲート信号線と交差する領域を除くソース信号線の構成要素に略一致したパターンに加工する工程と、前記ゲート信号線およびゲート電極に加工しようとする前記金属膜の露出した側壁面を酸化して絶縁酸化膜を形成する工程と、

前記基板の表面に半導体材料膜を形成する工程と、チャネル部を形成しようとする領域を被覆し、画素電極を形成しようとする領域および前記ソース信号線の構成要素を接続するための要素を形成しようとする領域が開いたマスクを用いて、前記半導体材料膜にp型またはn型の不純物を添加することにより、チャネル部および画素電極を形成する工程とを含む請求項2記載の薄膜トランジスタレイの製造方法。

【請求項41】 前記画素電極が楕形であって、前記金属膜および絶縁膜を加工する工程において、前記金属膜を加工して前記画素電極と対をなす楕形の対向電極をさらに形成し、

前記不純物を注入する工程において、前記不純物の注入によって複数の前記対向電極を電気的に接続するための接続要素をさらに形成する請求項40記載の薄膜トランジスタレイの製造方法。

【請求項42】 前記画素電極が楕形であって、前記画素電極が形成された前記基板の表面に保護層を形成する工程と、

前記保護層上に前記画素電極と対をなす対向電極を形成する工程とをさらに含む請求項40記載の薄膜トランジスタレイの製造方法。

【請求項43】 前記酸化絶縁膜を陽極酸化法によって形成する請求項40記載の薄膜トランジスタレイの製造方法。

【請求項44】 前記金属膜が、アルミニウムまたはアルミニウム合金からなる請求項40記載の薄膜トランジスタレイの製造方法。

【請求項45】 基板上に金属膜を形成する工程に先立って、前記基板上に無機物からなるアンダーコート層を形成する工程をさらに含む請求項40記載の薄膜トランジスタレイの製造方法。

【請求項46】 前記画素電極が形成された前記基板上に無機物からなる保護層を形成する工程をさらに含む請求項40記載の薄膜トランジスタレイの製造方法。

【請求項47】 絶縁性の基板と、前記基板上にマトリクス状に配された、チャネル部、ソース部およびドレイン部からなる半導体層を備えた薄膜トランジスタと、前記基板上にマトリクス状に配された薄膜トランジスタと、同一列上の前記薄膜トランジスタにソース信号を供給するソース信号線と、同一行上の前記薄膜トランジスタ

タにゲート信号を供給するゲート信号線と、前記薄膜トランジスタのドレインに接続された画素電極とを具備する薄膜トランジスタレイの製造方法であって、基板上に形成された半導体層の露出したソース部およびドレイン部に直接に接続して、それぞれソース信号線および画素電極を形成する薄膜トランジスタレイの製造方法。

【請求項48】 基板上に半導体材料膜を形成する工程と、

前記半導体材料膜を、薄膜トランジスタの半導体層を形成しようとする領域を含む形状に加工する工程と、加工された前記半導体材料膜の上に絶縁層を形成する工程と、

前記絶縁層の上に金属膜を形成する工程と、前記金属膜を加工して前記チャネル部を覆う前記薄膜トランジスタのゲート電極および前記ゲート電極に接続されたゲート信号線を形成する工程と、

前記ゲート電極の露出した表面およびゲート信号線の露出した表面に、酸化絶縁膜を形成する工程と、前記ゲート電極をマスクにして前記半導体材料膜にp型またはn型の不純物を注入することにより、前記半導体材料膜を前記チャネル部、ソース部およびドレイン部に加工する工程と、

前記チャネル部が形成された表面に導電膜を形成する工程と、

前記導電膜を加工して、前記ソース部に接続された前記ソース信号線および前記ドレイン部に直接に接続した画素電極を形成する工程とを含む請求項47記載の薄膜トランジスタレイの製造方法。

【請求項49】 前記画素電極が楕形であって、

前記画素電極が形成された前記基板の表面に絶縁層を形成する工程と、

前記絶縁層上に前記画素電極と対をなす楕形の対向電極を形成する工程とをさらに含む請求項48記載の薄膜トランジスタレイの製造方法。

【請求項50】 前記酸化絶縁膜を陽極酸化法によって形成する請求項48記載の薄膜トランジスタレイの製造方法。

【請求項51】 前記金属膜が、アルミニウムまたはアルミニウム合金からなる請求項48記載の薄膜トランジスタレイの製造方法。

【請求項52】 基板上に半導体材料膜を形成する工程に先立って、前記基板上に無機物からなるアンダーコート層を形成する工程をさらに含む請求項48記載の薄膜トランジスタレイの製造方法。

【請求項53】 前記画素電極が形成された前記基板上に無機物からなる保護層を形成する工程をさらに含む請求項48記載の薄膜トランジスタレイの製造方法。

【請求項54】 基板上に導電膜を形成する工程と、

前記導電膜を加工して薄膜トランジスタのゲート電極および前記ゲート電極に接続したゲート信号線を形成する

工程と、
前記ゲート電極および前記信号線が形成された前記基板の表面に絶縁膜を形成する工程と、

前記絶縁膜が形成された前記基板の表面に半導体材料膜を形成する工程と、

前記半導体材料膜を、薄膜トランジスタの半導体層を形成しようとする領域を含む形状に加工する工程と、

前記薄膜トランジスタのチャネル部を形成しようとする領域を覆うマスクを用いて、前記半導体材料膜にp型またはn型の不純物を注入することにより、前記半導体材料膜を前記チャネル部、ソース部およびドレイン部に加工する工程と、

前記チャネル部が形成された表面に導電膜を形成する工程と、

前記導電膜を所定のパターンに加工して、前記ソース部に接続された前記ソース信号線および前記ドレイン部に接続された画素電極を形成する工程を含む請求項4記載の薄膜トランジスタアレイの製造方法。

【請求項5】 前記画素電極が楔形であって、前記画素電極が形成された前記基板の表面に絶縁層を形成する工程と、

前記絶縁層上に前記画素電極と対をなす楔形の対向電極を形成する工程とをさらに含む請求項5記載の薄膜トランジスタアレイの製造方法。

【請求項6】 基板上に導電膜を形成する工程に先立って、前記基板上に無機物からなるアンダーコート層を形成する工程をさらに含む請求項5記載の薄膜トランジスタアレイの製造方法。

【請求項7】 前記画素電極が形成された前記基板上に無機物からなる保護層を形成する工程をさらに含む請求項5記載の薄膜トランジスタアレイの製造方法。

【請求項8】 アレイ基板と、対向基板と、前記アレイ基板および対向基板に挟まれた液晶層とを具備し、前記アレイ基板は、

絶縁性の基板と、
前記基板上にマトリクス状に配された、チャネル部、ソース部およびドレイン部からなる半導体層を備えた薄膜トランジスタと、

同一列上の前記薄膜トランジスタにソース信号を供給するソース信号線と、

同一行上の前記薄膜トランジスタにゲート信号を供給するゲート信号線と、

前記薄膜トランジスタのドレインに接続され、前記薄膜トランジスタの半導体層を構成する材料と同じ半導体材料を含む画素電極とを具備する表示パネル。

【請求項9】 絶縁性の基板と、
前記基板上にマトリクス状に配された、チャネル部、ソース部およびドレイン部からなる半導体層を備えた薄膜トランジスタと、

同一列上の前記薄膜トランジスタにソース信号を供給す

るソース信号線と、
同一行上の前記薄膜トランジスタにゲート信号を供給するゲート信号線と、

前記薄膜トランジスタのドレイン部に接続された、前記薄膜トランジスタの半導体層を構成する材料と同じ半導体材料を含む画素電極と、

前記画素電極に積層して配された電界発光層と、
前記電界発光層に積層して配された対向電極と、を具備する表示パネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示パネルや電界発光（EL）表示パネルに代表される平面表示パネルに用いられる、複数の薄膜トランジスタ（TFT）がマトリクス状に配されたTFTアレイに関するものであって、より詳しくは、その製造工程を簡略化するための改良に関する。

【0002】

【従来の技術】 これら表示パネルにおいて、単純マトリクス型のそれに代えて、画素の制御のためのスイッチング素子として、アモルファスシリコン、多結晶シリコン等を用いた薄膜トランジスタ（TFT）が配されたアクティブマトリクス型のものが広く普及している。TFTアレイの一例を図28に示す。絶縁性の基板上に、薄膜トランジスタ（TFT）71がマトリクス状に配される。同一列上のTFT71のソース領域に接続されたソース信号線75は、駆動回路（図示せず）からのソース信号をTFT71に供給する。同一行上のTFT71のゲート電極に接続されたゲート信号線76は、駆動回路（図示せず）からのゲート信号をTFT71に供給する。画素電極72は、TFT71のドレイン領域に接続されている。

【0003】 液晶表示パネル用のTFTアレイには、さらに表面に液晶分子の初期配向を規定するための配向膜が形成される。液晶表示パネルは、TFTアレイと表面に対向電極を備えた対向基板とが、液晶層を挟んで向かい合って配される。液晶表示パネルは、バックライトからの光を表示に用いる透過型、入射光を反射して表示に用いる反射型、および透過型と反射型の双方の機能を備えた半透過型に大別される。いわゆるIPS（In-plane Switching）型の液晶表示パネルでは、図29に示すように、画素電極72および対向電極（共通電極）70はともに楔形であって、ともにTFTアレイ1上に配される。電界発光（EL）表示パネルでは、TFTアレイの画素電極上に発光層および対向電極が積層して配される。

【0004】 従来、TFTアレイはたとえば以下のようにして製造されていた。たとえば、図30に示すように、ガラスからなる基板52の表面に、酸化ケイ素からなるアンダーコート層53を形成した後、シリコンから

10

20

30

40

50

なる半導体材料膜を形成し、さらに所定の形状のマスク55aを用いたエッチングにより、形成しようとする各TFT用の個片54に半導体材料膜を加工する。次いで、図31に示すように、半導体材料膜54が形成された基板52の表面に酸化ケイ素からなる絶縁層56を形成し、さらに導電層57を形成する。所定のパターンのマスク55bを用いたエッチングにより、導電層57をゲート信号線(図示せず)およびゲート電極58に加工し、さらに図32に示すように、ゲート電極58をマスクを用いて半導体材料膜54にp型またはn型の不純物を添加して半導体材料膜57に、チャネル領域(活性層)54a、ソース領域54bおよびドレイン領域54cを形成する。

【0005】基板52の表面にこれらを上記絶縁層59を形成したのち、図33に示すように、所定の形状のマスク(図示せず)を用いてソース領域54bおよびドレイン領域54cの直上の絶縁層56および59を貫通するコンタクトホール60を形成し、さらに基板52の表面に導電層61を形成する。所定のパターンのマスク55cを用いて導電層61を加工して、図34に示すように、ソース領域54bに接続したソース信号線62およびドレイン領域54cに接続したコンタクト層63を形成する。反射型液晶表示パネルなどの画素電極が不透明であってもよいTFTアレイでは、このコンタクト層が画素電極として用いられる。また、半透過型液晶表示パネル用アレイでは、コンタクト層が反射表示用の画素電極として用いられる。

【0006】透明な画素電極が求められるアレイでは、基板52の表面に、図35に示すように、絶縁層64を形成する。図36に示すように、絶縁層64にコンタクト層63が露出したコンタクトホール65を形成し、さらにインジウム・スズ化合物(ITO)等の透明導電材からなる導電膜66を形成したのち、所定のパターンのマスク55dを用いたエッチングによって、図37に示すように、導電膜66を画素電極67に加工する。

【0007】上記のようにして画素電極が形成されたのち、基板52の表面にたとえば酸化ケイ素からなる保護膜を形成すると、トップゲート型のTFTアレイが得られる。ボトムゲート型TFTアレイにおいては、ゲート信号線およびゲート電極を形成したのち、絶縁層を覆って半導体材料膜を形成する。したがって、不純物の添加にさらにマスクが必要である。

【0008】上記のように、従来のTFTアレイの製造においては、半導体材料膜の加工、ゲート電極およびゲート信号線の形成、コンタクトホールの形成、ソース信号線の形成、画素電極の形成、不純物の添加等にそれぞれ特定のパターンを有するマスクを用いる必要がある。したがって、一般に、TFTアレイの製造には、約5〜9枚のフォトマスクが使用されている。

【0009】そこで、マスク数の低減や工程の簡略化が

求められていた。たとえば、ダイオードアレイにおいては、特表昭62-502361号公報に、フォトマスクの使用枚数を2枚にまで減らすことが可能な製造方法が提案されている。しかし、この技術をそのままTFTアレイの製造に転用することはできない。さらに、ダイオードは、TFTと比較して、本質的に高速駆動における特性に劣る。

【0010】

【発明が解決しようとする課題】本発明は、上記問題点を解決し、簡易な工程でTFTアレイを製造することを目的とする。

【0011】

【課題を解決するための手段】本発明では、基板上に形成された半導体材料膜の所定の領域に導電性を付与することによって、半導体材料膜をTFTのチャネル部(活性層)、ソース部およびドレイン部に加工するとともに、ドレイン部に接続された画素電極を含む導電要素に加工する。画素電極は、ドレイン部と一体に形成される。

【0012】半導体材料膜は、基本的には不純物を含まない真性半導体、すなわちいわゆるi型半導体からなる。半導体材料膜の導電要素に加工しようとする領域には、導電性付与のため、p型またはn型の不純物として、半導体材料膜を構成する元素以外の特定元素が添加される。添加された不純物は、層の内部で電気伝導に寄与するキャリアとして働く。したがって、添加された領域では高い導電性を示す。すなわち、半導体材料膜の所定の領域を導電要素に加工することができる。半導体材料膜の不純物が添加されていない領域は、TFTのチャネル部として機能する。

【0013】不純物の添加には、熱拡散法、レーザードーピング法、プラズマドーピング法、イオン注入法など、公知の技術が用いられる。たとえば、ソース信号線等、形成された導電要素をソースとして熱拡散法によってその構成元素を半導体材料膜に拡散させることができる。チャネル部は、 10^{11} 個/cm²程度の低濃度の不純物を含んでもよい。チャネル部に低濃度の不純物を拡散させておくと、ソース部-ドレイン部間のリーク電流が小さい。

【0014】半導体材料膜は、それへの導電性付与の前または後に、形成しようとする要素に対応した形状に加工される。また、基板上に形成された半導体材料膜の形状を加工することなく、TFTの各要素を形成することもできる。半導体材料膜の不純物が添加されていない領域は、電界が形成されていない環境下では導電性を示さないことから、電極等の導電要素との相対的な位置関係によっては、絶縁要素としても機能する。したがって、半導体材料膜を、チャネル部および導電要素に加工するとともに、絶縁要素にも加工することができる。導電性が付与された画素電極としての領域は、導電性が付与さ

れていない、信号線の直上または直下の領域により区画される。信号線の直上または直下の領域の幅を、信号線のそれよりも大きくし、オフセット領域を確保することで、隣接する画素電極間の絶縁性が確保される。

【0015】半導体材料膜に、酸化亜鉛 (ZnO)、酸化マグネシウム亜鉛 (Mg, Zn, O)、酸化カドミウム亜鉛 (Cd, Zn, O)、酸化カドミウム (CdO) 等の酸化物半導体を用いると、透明な導電要素、たとえば透明画素電極を得られる。なお、シリコンからなる半導体材料膜を用いることもできる。半導体材料膜に導電性を付与するための不純物には、 p 型不純物としてIII族元素 (B, Al, Ga, In および Tl)、または n 型不純物としてV族元素 (N, P, As, Sb および Bi) が用いられる。導電要素として、不純物の添加量をたとえば 10^{11} 個/cm² 程度とした高濃度不純物領域を形成する。

【0016】従来、半導体材料膜をチャネル領域、ソース領域およびドレイン領域を含む半導体層に加工し、ソース領域およびドレイン領域にそれぞれ接続して引出電極を形成し、引出電極にそれぞれ接続して、ソース信号線および画素電極を形成していた。すなわち、半導体層のチャネル部および画素電極は、互いに異なる材料を用いて、異なるプロセスによって形成されていた。

【0017】一方、本発明では、TFTの半導体層と画素電極に本質的に同じ材料を用い、それらと同じ工程で一体に形成する。同一のマスクを用いた加工によって半導体層と画素電極を形成することから、これらの形成のプロセスは大きく簡略化される。また、チャネル部とソース信号線は、チャネル部を構成する半導体材料を主体とする単一の導電要素 (ソース部) によって接続される。したがって、引出電極やコンタクトホールを形成する必要もなくなる。すなわち、本発明によれば、形成する膜の数や膜のパターニングに用いるマスクの数が大幅に低減される。

【0018】一体化された半導体層および画素電極が透明な酸化物半導体により構成されると、高い画素開口率が得られる。したがって、本発明による、製造プロセスの簡略化とともに、より明るい表示が可能な表示装置が得られる。画素電極が光反射性を有する必要がある場合、半導体材料膜は、チャネル部、ソース部およびドレイン部に対応した形状に加工し、反射のための電極を、たとえばソース信号線と同時に形成すればよい。反射電極の材料としては、電気抵抗が低く、かつ光反射性を有する金属、たとえばアルミニウムおよびその合金が用いられる。

【0019】また、いわゆる半透過型液晶表示パネルに用いられる、画素電極として透明電極と反射電極の双方を備えたTFTアレイにおいては、半導体材料膜を加工して形成された透明電極に接続して同様の反射電極を形成すればよい。本発明で用いられるTFTは、表示パネ

ルの画素のスイッチング素子としての使用に限られず、スイッチング素子としてのTFT用の駆動回路にも用いられる。たとえばアレイ基板の周縁部に、スイッチング素子としてのTFTと同様の構成のTFTが、ソース信号線またはゲート信号線の駆動回路の素子として配される。

【0020】

【発明の実施の形態】本発明は、ゲート電極がチャネル部よりも上層に配された、いわゆるトップゲートTFTを備えたTFTアレイと、チャネル部よりも下層に配された、いわゆるボトムゲートTFTを備えたTFTアレイの双方に適用される。

【0021】トップゲートTFTを備えたTFTアレイは、以下の工程1〜A〜1〜Hによって製造される。

【0022】【工程1〜A】絶縁性の基板の上に、スパッタリング、プラズマCVD、メッキ等によって半導体材料膜を形成する。基板には、ガラスや合成樹脂からなるものが用いられる。好ましくは、半導体材料膜の形成に先立って、基板上にアンダーコート膜を形成する。アンダーコート膜を設けることで、基板中に含まれる微量の不純物、例えば基板がガラス製の場合にはアルカリ金属が、製造プロセスまたは機器の使用中にTFTの半導体層に拡散するのを防止できる。その結果、TFTの閾値電圧の増大やキャリアの実効移動度の低下等に起因する他のTFT特性の劣化を防止できる。

【0023】【工程1〜B】半導体材料膜を、第1レジストを用いたリソグラフィにより、TFTの半導体層およびそれに接続した画素電極を含む形状にパターニングする。半導体材料膜上に、公知の方法によりレジスト材料を塗布してレジスト層を形成した後、所定のパターン形状を有する第1のマスクを用いてレジスト層を露光する。露光後、レジスト層を現像して第1のレジストを形成する。この第1のレジストをマスクとして、半導体材料膜をエッチングする。

【0024】【工程1〜C】パターニング後、半導体材料膜が配された基板上に、例えばプラズマCVDによって、絶縁層 (ゲート絶縁膜) を形成する。ゲート絶縁膜の材料としては、 SiN_x 、 Al_2O_3 、 MgO 、 CaO 、 SiO_2 等が例示できる。

【0025】【工程1〜D】形成された絶縁層上に、ゲート信号線およびゲート電極を形成する。スパッタリング法等によって、第1金属層を形成する。第1金属層としては、導電率が高く、後の工程 (1〜E) において表面に絶縁性に優れた絶縁膜を形成することができる材料が用いられる。たとえば、中性溶液を用いた陽極酸化によって不純物の少ない酸化被膜を形成することができる、アルミニウムまたはその合金、例えばアルミニウム-ジルコニウム合金が用いられる。アルミニウムの結晶化を防ぐため、合金からなる層がより好ましい。形成された第1金属層上に、公知の方法によりレジスト材料を

塗布してレジスト層を形成し、所定のパターン形状を有する第2のマスクを用いてレジスト層を露光する。露光後、レジスト層を現像して第2のレジストを形成する。この第2レジストをレジストマスクとして第1金属層をエッチングする。

【0026】【工程1-E】ゲート電極およびゲート信号線の上面及び側面を被覆する絶縁性酸化膜を形成する。好ましくは、陽極酸化法によって、ゲート電極およびゲート信号線の表面を酸化する。陽極酸化法では、基板を電解液に浸漬した状態で、陽極としてのゲート電極およびそれに接続されたゲート信号線と陰極との間に電圧を印加することにより、それらの表面を低温で酸化すること、この方法による、マスクを用いることなく、ゲート電極およびゲート信号線の露出した表面のみに選択的に効率的に緻密な酸化膜を形成することができる。

【0027】【工程1-F】ゲート電極をマスクとして半導体材料膜に不純物を選択的に注入して、半導体材料膜を領域毎に機能分離する。具体的には、不純物が導入されないゲート電極直下の領域にはチャネル部（活性領域）が形成される。チャネル部を挟み不純物が導入される領域にはソース部およびドレイン部が形成され、さらにドレイン部に接続して画素電極が形成される。ゲート電極の側面に形成された絶縁性酸化膜の直下の領域には不純物が添加されたため、いわゆるオフセット構造のTFTが形成される。オフセット構造では、TFTのリーク電流が小さい。なお、イオンの添加を、上記の工程1-Eの前に行うことも可能である。この場合、TFTのいわゆるオン抵抗が低い。

【0028】【工程1-G】絶縁性酸化膜が形成されたゲート電極をマスクとして絶縁層をエッチングして、ソース部を露出させる。

【0029】【工程1-H】ソース部等が露出した基板の上に、ソース部に接続して、ソース信号線を形成する。蒸着法等により第2金属層を形成する。第2金属層としては、例えばアルミニウム又はアルミニウム合金からなるものが例示できる。その後、前記工程1-Dと同様に、第2金属層上にレジスト層を形成する。第3のマスクを用いてレジスト層を露光現像し、第3レジストを形成する。この第3レジストをレジストマスクとして第2金属層をエッチングする。

【0030】なお、反射性の画素電極を形成する場合に、第2金属層を加工して、ソース信号線とともに画素電極を形成する。半透過型液晶表示パネル用のTFTアレイにおいては、上記工程1-Bで形成された透明な画素電極と電気的に接続して、他の画素電極として反射電極を形成する。

【0031】IPS型液晶表示パネル用のTFTアレイにおいては、共通電極（対向電極）および同一行上の共通電極を接続する共通電極線を形成する。好ましくは、または必要に応じて、以下の工程（1-I）が付加され

る。

【0032】【工程1-I】形成されたソース信号線、TFT等を被覆する保護層を基板上に形成する。保護層は、他の要素または外界からの影響によるTFT等の特性の変動や、後工程における損傷を防ぐためのものである。少なくともTFTアレイの一部を覆う保護層を配すると、信頼性の高いアレイおよびそれを用いた表示装置が得られる。また、保護層が無機物である、さらに信頼性は向上する。保護層としては、例えば酸化ケイ素膜、窒化ケイ素膜等のケイ素系の無機物からなるものが例示できる。特にソルゲル型のケイ素化合物を保護層の材料として用いると、印刷法によって選択的な形成が可能となる。とりわけ、画素電極上に発光層および対向電極が積層して形成されるEし表示パネル用のTFTアレイにおいては、画素電極が配された領域を除いて保護層を配することで、両電極間の短絡を防止して、信頼性が向上する。

【0033】ボトムゲートTFTを備えたTFTアレイは、以下の工程2-A〜2-Eによって製造される。

【0034】【工程2-A】絶縁性の基板の上に、ゲート信号線およびゲート電極を形成する。スパッタリング法等によって、基板上に第1金属層を形成する。第1金属層としては、例えばアルミニウム-ジルコニウム合金が例示できる。形成された第1金属層上に、公知の方法によりレジスト材料を塗布してレジスト層を形成し、所定のパターン形状を有する第1のマスクを用いてレジスト層を露光する。露光後、レジスト層を現像して第1のレジストを形成する。この第1レジストをマスクとして第1金属層をエッチングする。好ましくは、第1金属層の形成に先立って、アンダーコート膜を基板上に形成する。

【0035】【工程2-B】ゲート信号線等が形成された基板の表面に、絶縁層（ゲート絶縁膜）を形成する。例えばプラズマCVDによって、酸化ケイ素、窒化ケイ素等からなる膜を形成する。

【0036】【工程2-C】絶縁層上に、半導体材料膜を形成し、さらに半導体材料膜をTFTの半導体層および画素電極を含む導電要素に加工する。ゲート電極等が形成された基板上に、スパッタリング、プラズマCVD、メッキ等によって半導体材料膜を形成し、さらに第2レジストを用いたリソグラフィによって半導体材料膜をパターンニングする。つまり、チャネル部を形成しようとする領域を被覆したマスクを用いて半導体材料膜に不純物を注入して、半導体材料膜を複数の要素に機能的に分離する。具体的には、不純物が導入されないチャネル部が形成され、チャネル部を挟んで不純物が導入されたソース部およびドレイン部が形成され、さらにドレイン部に接続されて不純物が導入された画素電極が形成される。なお、絶縁層の形成に連続して半導体材料膜を形成すると、両層間への異物の混入を防止することができ

る。

【0037】半導体材料膜に不純物を注入した後、半導体材料膜の形状を加工してもよい。光反射性の画素電極を形成する場合には、半導体材料膜から画素電極を形成する必要はない。

【0038】【工程2-D】絶縁層上に、ソース信号線を形成する。スパッタリング法等によって、第2金属層を形成する。第2金属層としては、例えばアルミニウム-ジルコニウム合金が例示できる。形成された第2金属層上に、公知の方法によりレジスト材料を塗布してレジスト層を形成し、所定のパターン形状を有する第3のマスクを用いてレジスト層を露光する。露光後、レジスト層を現像して第3のレジストを形成する。この第3レジストをマスクとして、第3金属層をエッチングする。

【0039】なお、反射性の画素電極を形成する場合には、第2金属層を加工して、ソース信号線とともに画素電極を形成する。半導体型液晶表示パネル用のTFTアレイにおいては、上記工程Bで形成された透明な画素電極と電気的に接続して他の画素電極として反射電極を形成する。

【0040】IPS型液晶表示パネル用のTFTアレイにおいては、共通電極（対向電極）および同一行上の共通電極を接続する共通電極線を形成する。

【0041】好ましくは、または必要に応じて、以下の工程2-Eが付け加えられる。

【0042】【工程2-E】形成されたソース信号線、TFT等が被覆する保護層が基板上に設けられる。保護層は、他の要素または外界からの影響によるTFT等の特性の変動や、後工程における損傷を防ぐためのものである。保護層としては、例えば酸化ケイ素膜、窒化ケイ素膜等のシリカ系の無機物からなるものが例示できる。特にゾルゲル型のケイ素系の無機物を保護層の材料として用いると、印刷法によって選択的な保護層の形成が可能となる。

【0043】IPS型液晶表示パネル用のTFTアレイにおいては、共通電極（対向電極）および同一行上の共通電極を接続する共通電極線を、保護層上に形成してもよい。

【0044】ボトムゲートTFTを備えたTFTアレイは、以下の工程3-A~3-Hによっても製造される。

【0045】【工程3-A】絶縁性の基板の上に、第1金属層を形成する。スパッタリング法等によって、第1金属層を形成する。第1金属層としては、例えばアルミニウム-ジルコニウム合金が例示できる。好ましくは、第1金属層の形成に先立って、基板上にアンダーコート膜を形成する。

【0046】【工程3-B】第1金属層が形成された基板の表面に、絶縁層（ゲート絶縁膜）を形成する。例えばプラズマCVDによって、酸化ケイ素、窒化ケイ素等からなる膜を形成する。第1金属層の形成に連続して絶

縁層を形成すると、得られるTFTの特性が安定する。

【0047】【工程3-C】第1金属層および絶縁層をソース信号線、ゲート信号線およびゲート電極に対応した形状に加工する。形成された絶縁層上に、公知の方法によりレジスト材料を塗布してレジスト層を形成し、所定の形状を有する第1のマスクを用いてレジスト層を露光する。露光後、レジスト層を現像して第1のレジストを形成する。この第1レジストをマスクとして第1金属層および絶縁層をエッチングする。

【0048】【工程3-D】ゲート電極およびゲート信号線の露出した側面を被覆する絶縁性酸化膜を形成する。好ましくは、陽極酸化法によって、ゲート電極およびゲート信号線の表面を酸化する。陽極酸化法には、基板を電解液に浸漬した状態で、陽極としてのゲート電極およびゲート信号線と陰極との間に電圧を印加することにより、それらの表面を低温で酸化する。

【0049】【工程3-E】ゲート電極等が形成された基板上に、スパッタリング、プラズマCVD、メッキ等によって半導体材料膜を形成する。

【0050】【工程3-F】半導体材料膜をTFTアレイの構成要素に分化する。チャネル部および絶縁領域を形成しようとする領域を被覆したマスクを用いて、半導体材料膜に不純物を注入する。

【0051】なお、光反射性の画素電極を形成する場合には、半導体材料膜から画素電極を形成する必要はなく、たとえば、工程3-Cにおいて、金属層を加工して、ソース信号線とともに画素電極を形成する。また、画素電極を形成する工程がさらに付け加えられる。

【0052】半導体型液晶表示パネル用のTFTアレイにおいては、上記工程3-Fで形成された透明な画素電極と電気的に接続して他の画素電極として反射電極を形成する。

【0053】IPS型液晶表示パネル用のTFTアレイにおいては、たとえば、工程3-Cにおいて、金属層を加工して、共通電極（対向電極）および同一行上の共通電極を接続する共通電極線を形成する。

【0054】好ましくは、または必要に応じて、以下の工程3-Gが付け加えられる。

【0055】【工程3-G】形成されたソース信号線、TFT等が被覆する保護層が基板上に設けられる。IPS型液晶表示パネル用のTFTアレイにおいては、共通電極（対向電極）および共通電極線を、保護層上に形成してもよい。

【0056】上記のようにして作製されたTFTアレイは、液晶表示パネル、EL表示パネル等のアレイ基板として用いられる。透過型の液晶表示パネルや、画素電極に光を透過させるEL表示パネルでは、画素電極に、半導体材料を加工して形成された透明なものを用いる。反射型の液晶表示パネルや、対向電極に光を透過させるEL表示パネルでは、画素電極に、金属層を加工して形成

されたものを用いる。半透型の液晶表示パネルでは、画素電極として、半導体材料からなるものと金属からなるもの双方を用いる。たとえば、以下の(i)~(iii)など、さまざまな配置が可能である。特に、露出した半導体材料膜上にソース信号線を形成する場合に、容易に所望の形状の反射電極を透明な画素電極に接して形成することができる。

【0057】i) 枠状の反射電極と、反射電極の開口部を閉塞するように配された透明電極

ii) 一様に形成された透明電極と、透明電極に接続して一様に配された複数の微小な反射電極

iii) 一様に形成された透明電極と、透明電極の約半分を覆う様に配された矩形的反射金属電極

【0058】なお、反射電極と透明電極は、反射電極が表示に寄与する領域すなわち画素内の反射表示領域と、透明電極が表示に寄与する領域すなわち透過表示領域との比が、3:1~1:3の範囲内となる様に配されるのが好ましい。

【0059】液晶表示パネルのアレイ基板としては、表面上、液晶分子を所定の方向に配向させるための液晶配向膜が配される。同様の液晶配向膜と透明な対向電極とを備えた公知の対向基板と、液晶層を挟んで向かい合わせて、液晶表示パネルが構成される。さらに対向基板の表面には、たとえばそれぞれR(赤)、G(緑)またはB(青)からなるカラーフィルタが所定のパターンで配される。

【0060】有機EL表示パネルでは、画素電極上に電界発光層が直接配され、さらに電界発光層上に対向電極が形成される。電界発光層は、発光層単層のもの、正孔輸送層、電子輸送層等をさらに備えたものなど、公知のものが用いられる。たとえば、それぞれR、GまたはBの光を発する電界発光層が所定のパターンで配される。

【0061】

【実施例】以下、好ましい実施例を図面を用いて詳細に説明する。

【0062】《実施例1》本実施例では、TFTのゲート電極がチャネル部よりも上層に配されたいわゆるトップゲートTFTを用いたTFTアレイについて説明する。本実施例のTFTアレイを図1の(a)および

(b)に示す。図に示すように、画素電極10は、TFTの半導体層としてのチャネル部4a、ソース部4bおよびドレイン部4cと同一層に配され、それらと一体に形成されている。画素電極10、チャネル部4a、ソース部4bおよびドレイン部4cは、導電性を付与された半導体材料からなる。

【0063】本実施例のTFTアレイは、たとえば以下のようにして製造される。図2に示すように、洗浄された透明なガラス基板2の表面に化学気相堆積法(CVD)により、アンダーコート層(保護膜)3としての厚さが0.4μmの酸化ケイ素からなる膜を形成し、さら

にアンダーコート層3の上に、厚さが50nmの酸化亜鉛(ZnO)からなる透明な半導体材料膜4を、スパッタリング、プラズマCVD法またはメッキによって形成する。半導体材料膜4の上にレジスト材料膜を形成し、さらにフォトマスクを用いて露光、現像することにより、形成しようとする薄膜トランジスタの半導体層およびそれに連なる画素電極に対応したパターン(レジスト5aを形成する。得られたレジスト5aを用いて、図3に示すように半導体材料膜4をエッチングする。

【0064】レジスト5aを除去したのち、加工された半導体材料膜4が配された基板2の表面に、プラズマCVDによって、図4に示すように、窒化ケイ素からなる厚さが150nmの絶縁層6を形成し、さらに、スパッタリングによって、絶縁層6上に、アルミニウムとジルコニウムを9:7の質量比で含む厚さが約200nmの金属層7を形成する。金属層7の上に、形成しようとするゲート信号線およびゲート電極に対応したパターン(レジスト5bを形成する。形成されたレジスト5bを用いて金属層7をエッチングする。

【0065】レジスト5bの除去ののち、ホウ酸アンモニウムを含むpHが7付近の電解液を用いた陽極酸化によって、図5に示すように、加工された金属層7の露出した表面、すなわち上面および側面に酸化アルミニウムを主体とする絶縁層8を形成する。このようにして、周囲を絶縁層6および絶縁層8により被覆されたゲート電極9およびゲート信号線(図示せず)が形成される。

【0066】図6に示すように、形成された絶縁層8をマスクに用いて、半導体材料膜4に、たとえばn型不純物であるリンを 2×10^{17} 個/cm²添加する。このイオンの添加により、絶縁層8に覆われたチャネル部となる領域を除いて、半導体材料膜4に導電性が付与され、半導体材料膜4は、チャネル部4a、ソース部4b、ドレイン部4cおよびドレイン部4cに接続された画素電極10に機能的に分化される。次いで、絶縁層8をマスクに用いて、絶縁層6をエッチングする。このエッチングにより、ゲート信号線直下の領域およびゲート電極9直下の領域を除いて絶縁層6が除去される。

【0067】図7に示すように、エッチングによりソース部4b等が露出した基板2の表面に、ケイ素1質量%含むアルミニウム合金からなる厚さが0.5μmの導電膜11を形成し、さらに形成しようとするソース信号線に対応したパターン(レジスト5cを形成する。形成されたレジスト5cを用いたエッチングによって、導電膜11は、図8に示すように、先のエッチングにより露出したソース部4bに接続したソース信号線12に加工される。ソース信号線12は、ゲート信号線18と交差するものの、図9に示すように、ゲート信号線18の表面は、酸化ケイ素からなる絶縁層8により被覆されているため、両信号線間の絶縁性は確保される。

【0068】必要に応じて、レジスト5cの除去のの

ち、以上のようにしてソース信号線 12 が形成された基板 2 の表面に、たとえばスピコート法によって窒化ケイ素からなる保護層 13 を形成することにより、図 1 の

(a) および (b) に示すように、トップゲート TFT を備えた TFT アレイ 1 が得られる。このとき、駆動回路と接続するための信号線の端が配された領域への保護層 13 の形成は妨げることが好ましい。もちろん、これら端子が形成された領域の保護層 13 をエッチングによって除去してもよい。

【0069】上記のように、本実施例によると、3 枚のフォトマスクのみを用いて TFT アレイが得られる。本実施例の TFT アレイの製造方法は、画素電極に反射電極を用いる場合や、半透過型液晶表示パネル用の TFT アレイのように透明電極と反射電極の双方を用いる場合にも適用される。

【0070】画素電極に反射電極を用いる場合には、たとえば、半導体材料膜の形状を加工する工程において、図 10 (a) に示すように半導体材料膜 4 をチャネル部、ソース部およびドレイン部に対応した形状、または、ドレイン部に連続したコンタクト領域をさらに含む形状に加工し、さらにソース信号線を形成する工程において、導電膜をソース信号線 12 に加工するとともに、ドレイン部 4c に接続または図 10 (b) に示すようにコンタクト領域 4d に接続した反射画素電極 10b に加工する。

【0071】また、透明電極と反射電極の双方を用いる場合には、たとえば、上記と同様に半導体材料膜に由来する透明画素電極を形成するとともに、導電膜を加工してソース信号線を形成する工程において、それと同時に反射画素電極を形成する。ソース信号線を形成する工程では、半導体材料膜に由来する透明画素電極の表面が露出しているため、形成しようとする反射画素電極を透明画素電極と容易に接続することができ。

【0072】いわゆる IPS 型液晶表示パネル用の TFT アレイの場合には、櫛形の画素電極を用い、TFT アレイ上に共通電極（対向電極）が配される。

【0073】たとえば、図 11 に示すように、共通電極 14 は、ゲート信号線およびゲート電極 9 と同時に形成される。導電膜をゲート信号線およびゲート電極 9 に加工する工程において、同時に画素電極 10 と対をなす櫛形の共通電極 14 および同一行上の共通電極 14 を接続する共通電極線（図示せず）を形成する。形成された共通電極 14 および共通電極線は、ゲート電極 9 等と同様に、露出した表面に絶縁膜 8 を形成することによって、ソース信号線等との絶縁性が確保される。また、図 12 に示すように、保護層 13 上に櫛形の共通電極 14 を配してもよい。保護層 13 上への共通電極 14 の形成には所定のパターンマスクを用いた新たな工程が必要になるが、それらの形成は、対向基板 1 への形成の代替であって、表示パネルの製造の観点からは、新たな工程の

付加にはならない。

【0074】以下、上記のようにして得られた TFT アレイを用いた表示パネルについて説明する。

【0075】[1. 液晶表示パネル] 本実施例の TFT アレイは、たとえば、図 13 に示すような液晶表示パネルに用いられる。液晶表示パネルにおいては、図 13 に示すように、TFT アレイ 1 は、所定の層上の液晶層 120 を隔てて対向基板 110 と向かい合っており、TFT アレイ 1 および対向基板 110 の液晶層 120 に接する面には、それぞれ液晶配向膜 15 および 104 が形成されている。対向基板 110 の TFT アレイ 1 と向かい合った側の面には、さらにインジウム錫酸化物 (ITO) 等からなる透明な対向電極 103 が配される。カラー液晶表示パネルでは、さらに TFT アレイまたは対向基板の一方に G (緑)、B (青) および R (赤) のカラーフィルタ層 102 が配される。

【0076】液晶表示パネルは、たとえば以下のようにして製造される。TFT アレイ 1 の保護層 13 上に、ポリイミド樹脂材料を塗布し、その塗布膜を加熱硬化して、ポリイミド被膜を形成する。このポリイミド被膜の表面を一定方向にラビングして液晶配向膜を形成する。なお、保護膜を設けることなく、TFT 等の表面に直接液晶配向膜を形成してもよい。ただし、半導体層への不純物の侵入を防止するため、保護膜を設ける方が好ましい。公知の方法に従って、透明なガラス基板 101 上に、カラーフィルタ層 102 を形成し、さらにその表面に対向電極 103 を形成する。基板 101 の対向電極 103 が形成された表面に、必要に応じて保護層としての酸化ケイ素膜を施したのち、上記と同様に液晶配向膜 104 を形成する。

【0077】以上のようにして得られた対向基板 110 の TFT アレイ 1 と向かい合わせる側の面の周縁部および TFT アレイ 1 のそれに対応する領域に、予め接着剤 105 を塗布する。なお、TFT アレイ 1 には、接着剤 105 上にスペーサ 106 を形成する。続いて、画素電極 10 と対向電極 103 とが向かい合うように、TFT アレイ 1 と対向基板 110 とを貼り合わせて、両基板間の間隔がたとえば 5 μm の空セルを組み立てる。このとき、液晶配向膜 15 の配向処理方向と液晶配向膜 104 との配向処理方向が 90 度で交差するようにした。スペーサ 106 にあらかじめ設けられた開口部より、空セルの内部に液晶材料（たとえば ZLI 14792：メルック・アンド・カンパニー・インコーポレイテッド Merck & Co., Inc.）を注入したのち、開口部を封口して、液晶層 120 を形成する。更にその両外面に偏光板 107 および 108 をクロスニコルとなる様に配すると、図 13 に示すいわゆるツイステッドネマチック (TN) 型の液晶表示パネル 100 が得られる。液晶表示パネル 100 は、図中矢印方向に照射される、バックライト（図示せず）からの光の透過を調節することにより、画

像を表示する。

【0078】[11. 電界発光表示パネル] 本実施例のTFTアレイの画素電極上に電界発光層および対向電極を形成すると、図14に示すような電界発光(EL)表示パネルが得られる。上記のEL表示パネルは、たとえば以下のようにして製造される。保護層を形成していないTFTアレイの表面に、例えば真空蒸着によって電界発光材料、緑色発光材料であるアルミニウムからなる厚さが100nm程度の膜を形成する。形成された膜を所定の形状にパターニングして、緑色発光する発光層201を形成する。同様の方法で、赤色発光材料からなる発光層及び青色発光材料からなる発光層(図示せず)を形成する。発光層201が形成された基板の表面に、たとえば光反射性の対向電極202として、アルミニウムを主成分とする金属膜を形成すると、図14に示すEL表示パネル200が得られる。なお、必要に応じて、対向電極202を覆う保護層を形成するとい。

【0079】このEL表示パネルでは、画素電極が透明電極であって、対向電極が光反射性を有することから、発光層が発した光は、図中矢印で示すように、外部に出射される。もちろん、画素電極に反射電極を用いる場合は、ITO等からなる透明な対向電極を用い、基板の反対の面より光を出射させることもできる。

【0080】《実施例2》本実施例では、TFTのゲート電極がチャネル部よりも下層に配されたいわゆるボトムゲートTFTを用いたTFTアレイについて説明する。

【0081】本実施例のTFTアレイを図15に示す。図に示すように、画素電極10は、TFTの半導体層としてのチャネル部23a、ソース部23bおよびドレイン部23cと同一層に配され、それらと一体に形成されている。画素電極10、チャネル部23a、ソース部23bおよびドレイン部23cは、導電性を付与された半導体材料からなる。

【0082】本実施例のTFTアレイは、たとえば以下のようにして製造される。

【0083】図16に示すように、洗浄された透明なガラス基板2の表面に化学気相堆積法(CVD)により、アンダーコート層3としての厚さが0.4μmの酸化ケイ素からなる膜を形成し、さらに、スパッタリングによって、アンダーコート層3上に、アルミニウムとジルコニウムを9:1の質量比で含む厚さが約200nmの金属層20を形成する。金属層20の上に、レジスト材料膜を形成し、さらにフォトマスクを用いて露光、現像することにより、形成しようとするゲート電極およびゲート信号線に対応したパターンのレジスト21aを形成する。レジスト21aをマスクに用いたエッチングにより、金属層20をゲート電極9およびゲート信号線(図示せず)に加工する。

【0084】レジスト21aを除去したのち、図17に

示すように、ゲート電極9が配された基板2の表面に、酸化ケイ素からなる厚さが150nmの絶縁層22をプラズマCVDによって形成し、さらに絶縁層22上に、厚さが50nmの酸化亜鉛(ZnO)からなる透明な半導体材料膜23を、スパッタリング、プラズマCVD法、メッキ等によって形成する。次いで、図18に示すように、半導体材料膜23の上に、形成しようとする前膜トランジスタの半導体層および画素電極に対応したパターンのレジスト21bを形成する。得られたレジスト21bを用いて、半導体材料膜23をエッチングする。

【0085】半導体材料膜23の加工の前または後に、マスクを用いて、半導体材料膜23にn型不純物であるリンをたとえば 2×10^{11} 個/cm²添加する。この不純物の添加により、マスクに覆われた、チャネル部となる領域を除いて、半導体材料膜23に導電性が付与され、半導体材料膜23は、図19に示すように、チャネル部23a、ソース部23b、ドレイン部23cおよびドレイン部23cに接続された画素電極10に機械的に分化される。

【0086】図20に示すように、ソース部23b等が形成された基板2の表面に、ケイ素1質量%含むアルミニウム合金からなる厚さが0.5μmの導電膜24を形成し、さらにその上に、形成しようとするソース信号線に対応したパターンのレジスト21cを形成する。

【0087】レジスト21cを用いたエッチングによって、図21に示すように、導電膜24は、先のエッチングにより露出したソース部23bに接続したソース信号線12に加工される。必要に応じて、レジスト21cの除去ののち、ソース信号線12が形成された基板2の表面に、たとえばスピコート法によって酸化ケイ素からなる保護層13を形成すると、図15に示すように、ボトムゲートTFTを備えたTFTアレイ1が得られる。

【0088】駆動回路と接続するための信号線の端子が配された領域への保護層13の形成は防ぐことが好ましい。もちろん、これら端子が形成された領域の保護層13をエッチングによって除去してもよい。ゲート信号線の表面に形成された保護層13を除去することによりゲート信号線を露出させる。上記のように、本実施例によると、3枚のフォトマスクのみを用いてTFTアレイが得られる。

【0089】本実施例のTFTアレイの製造方法は、画素電極に反射電極を用いる場合や、半透過型液晶表示パネル用のTFTアレイのように透明電極と反射電極の双方を用いる場合にも適用される。

【0090】画素電極に反射電極を用いる場合には、たとえば、半導体材料膜の形状を加工する工程において、半導体材料膜をチャネル部23a、ソース部23bおよびドレイン部23cに対応した形状、または、チャネル部23aに連続したコンタクト領域をさらに含む形状に加工し、さらにソース信号線を形成する工程において、

導電膜をソース信号線12に加工するとともに、ドレイン部23cまたはコンタクト領域に接続した反射面素電極に加工する。

【0091】また、透明電極と反射電極の双方を用いる場合には、たとえば、上記と同様に半導体材料膜に由来する透明面素電極を形成するとともに、導電膜を加工してソース信号線を形成する工程において、それと同時に反射面素電極を形成する。ソース信号線を形成する工程では、半導体材料膜に由来する透明面素電極の表面が露出しているため、形成しようとする反射面素電極を透明面素電極と容易に接続することができる。

【0092】いわゆるIPS型液晶表示パネル用のTFTアレイの場合には、楔形の面素電極を用い、導電膜をゲート信号線およびゲート電極に加工する工程において、同時に面素電極と対をなす楔形の共通電極および同一行上の共通電極を接続する共通電極線を形成する。形成された共通電極および共通電極線は、ゲート信号線等と同様に露出した表面に絶縁膜を形成することによって、ソース信号線等との絶縁性が確保される。また、保護層上に共通電極を形成してもよい。保護層上への楔形状の共通電極の形成には所定のパターンのマスクを用いた新たな工程が必要になるが、それらの形成は、対向基板上への形成の代替であって、表示パネルの製造の観点からは、新たな工程の付加にはならない。

【0093】《実施例3》本実施例では、半導体材料膜を絶縁要素としても用いたTFTアレイの例について説明する。

【0094】本実施例のTFTアレイを図22の(a)および(b)に示す。本実施例では、その形状を加工することなく、半導体材料膜がTFTアレイの各構成要素に機能的に分離される。また、ゲート信号線18、ゲート電極9およびソース信号線12の主たる要素が同一の層を加工して形成される。したがって、TFTアレイの製造プロセスが上記実施例と比べて、さらに簡略化される。

【0095】本実施例のTFTアレイは、たとえば以下のようにして製造される。

【0096】図23に示すように、洗浄された透明なガラス基板2の表面に化学気相堆積法(CVD)により、アンダーコート層3としての厚さが0.4μmの酸化ケイ素からなる膜を形成し、さらにアンダーコート層3の上に、スパッタリングによって、アルミニウムとジロコニウムを97:3の質量比で含む厚さが約200nmの合金膜31を形成する。次いで、合金膜31の表面に酸化ケイ素からなる厚さ150nmの絶縁層32を形成する。絶縁層32の表面に、合金膜31を加工して形成しようとするゲート電極、ゲート信号線およびソース信号線の形状に対応したパターンを有するフォトリソグラフィ用のレジスト33aを形成する。

【0097】次いで、エッチングにより、合金膜31お

よび絶縁層32をレジスト層33aの形状に対応したパターンに加工する。このエッチングによって、合金膜31は、ゲート電極、ゲート信号線、およびソース信号線の線分要素に対応した形状に加工される。レジスト層33aの除去の後、ホウ酸アンモニアを含むpH7付近の電解液を用いた陽極酸化によって、図24に示すように、露出した側面に酸化アルミニウムを主体とする絶縁膜34を備えたゲート電極9およびゲート信号線が形成される。

【0098】さらにゲート電極9等が配された基板2の表面に、図25に示すように、たとえばスパッタリングによって厚さが70nmの酸化亜鉛からなる半導体材料膜35を形成する。酸化亜鉛はいわゆるI型半導体であって、形成された半導体材料膜35は可視光を透過する。なお、半導体材料膜35中に、p型不純物、たとえばボロンを 2×10^{11} 個/cm²程度の少量添加すると、膜35は、安定した導電性を示す。

【0099】図26に示すように、絶縁要素および薄膜トランジスタのチャネル部に加工しようとする領域を被覆したパターン層のレジスト層33bを形成し、これをマスクに用いて、n型不純物であるリンをたとえば 2×10^{11} 個/cm²添加する。この不純物の添加により、半導体層のチャネル部35a、ソース部35bおよびドレイン部35cが、面素電極10と同時に形成される。また、図27に示すように、ゲート信号線18と交差する領域において分断されたソース信号線12を電気的に接続する接続要素35dが形成される。レジスト層33bを除去し、必要に応じて保護層13を形成すると、図22の(a)および(b)に示すTFTアレイ1が得られる。

【0100】なお、基板2からのレジストの除去をより容易にするために、半導体材料膜35の表面に、一様に酸化ケイ素膜等の無機絶縁膜を形成した後、この無機絶縁膜をレジストを用いたエッチングによってイオン注入のためのマスクに加工し、このマスクを用いて半導体材料膜の活性層に加工しようとする領域にイオンを注入してもよい。たとえば、ランバートニールによって注入された不純物を活性化して、薄膜トランジスタの活性層が形成される。

【0101】上記のようにして基板2上に、マトリクス状に薄膜トランジスタが形成され、さらに薄膜トランジスタに接続された信号線が形成される。

【0102】

【発明の効果】本発明によると、TFTアレイの製造工程が大幅に簡略化される。

【図面の簡単な説明】

【図1】(a)は、本発明の一実施例のTFTアレイの要部を示す概略した縦断面図であって、(b)は、同平面図である。

【図2】同TFTアレイの製造工程の一段階における基

板の状態を示す要部の概略した縦断面図である。

【図 3】同 T F T アレイの製造工程の他の段階における基板の状態を示す要部の概略した縦断面図である。

【図 4】同 T F T アレイの製造工程のさらに他の段階における基板の状態を示す要部の概略した縦断面図である。

【図 5】同 T F T アレイの製造工程のさらに他の段階における基板の状態を示す要部の概略した縦断面図である。

【図 6】同 T F T アレイの製造工程のさらに他の段階における基板の状態を示す要部の概略した縦断面図である。

【図 7】同 T F T アレイの製造工程のさらに他の段階における基板の状態を示す要部の概略した縦断面図である。

【図 8】同 T F T アレイの製造工程のさらに他の段階における基板の状態を示す要部の概略した縦断面図である。

【図 9】同 T F T アレイの要部を示す概略した縦断面図である。

【図 10】(a) および (b) は、それぞれ本発明の他の実施例の T F T アレイの製造工程の一段階における基板の状態を示す要部の概略した縦断面図である。

【図 11】本発明のさらに他の実施例の T F T アレイの要部を示す概略した縦断面図である。

【図 12】本発明のさらに他の実施例の T F T アレイの要部を示す概略した縦断面図である。

【図 13】本発明の一実施例の T F T アレイを用いた液晶表示パネルを示す概略した縦断面図である。

【図 14】本発明の一実施例の T F T アレイを用いた電界発光表示パネルを示す概略した縦断面図である。

【図 15】本発明のさらに他の実施例の T F T アレイの要部を示す概略した縦断面図である。

【図 16】同 T F T アレイの製造工程の一段階における基板の状態を示す要部の概略した縦断面図である。

【図 17】同 T F T アレイの製造工程の他の段階における基板の状態を示す要部の概略した縦断面図である。

【図 18】同 T F T アレイの製造工程のさらに他の段階における基板の状態を示す要部の概略した縦断面図である。

【図 19】同 T F T アレイの製造工程のさらに他の段階における基板の状態を示す要部の概略した縦断面図である。

【図 20】同 T F T アレイの製造工程のさらに他の段階における基板の状態を示す要部の概略した縦断面図である。

【図 21】同 T F T アレイの製造工程のさらに他の段階における基板の状態を示す要部の概略した縦断面図である。

【図 22】(a) は、本発明のさらに他の実施例の T F

T アレイの要部を示す概略した縦断面図であって、

(b) は、同平面図である。

【図 23】同 T F T アレイの製造工程の一段階における基板の状態を示す要部の概略した縦断面図である。

【図 24】同 T F T アレイの製造工程の他の段階における基板の状態を示す要部の概略した縦断面図である。

【図 25】同 T F T アレイの製造工程のさらに他の段階における基板の状態を示す要部の概略した縦断面図である。

【図 26】同 T F T アレイの製造工程のさらに他の段階における基板の状態を示す要部の概略した縦断面図である。

【図 27】同 T F T アレイの要部を示す概略した縦断面図である。

【図 28】従来の T F T アレイの構成を示す概略した平面図である。

【図 29】IPS 型液晶表示パネルに用いる T F T アレイの要部を示す概略した平面図である。

【図 30】従来の T F T アレイの製造工程の一段階における基板の状態を示す要部の概略した縦断面図である。

【図 31】従来の T F T アレイの製造工程の他の段階における基板の状態を示す要部の概略した縦断面図である。

【図 32】従来の T F T アレイの製造工程のさらに他の段階における基板の状態を示す要部の概略した縦断面図である。

【図 33】従来の T F T アレイの製造工程のさらに他の段階における基板の状態を示す要部の概略した縦断面図である。

【図 34】従来の T F T アレイの製造工程のさらに他の段階における基板の状態を示す要部の概略した縦断面図である。

【図 35】従来の T F T アレイの製造工程のさらに他の段階における基板の状態を示す要部の概略した縦断面図である。

【図 36】従来の T F T アレイの製造工程のさらに他の段階における基板の状態を示す要部の概略した縦断面図である。

【図 37】従来の T F T アレイの製造工程のさらに他の段階における基板の状態を示す要部の概略した縦断面図である。

【符号の説明】

1 薄膜トランジスタアレイ

2、101 ガラス基板

3 アンダーコート層

4、23、35 半導体材料膜

4a、23a、35a チャネル部

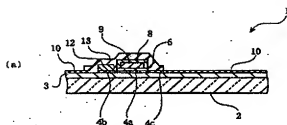
4b、23b、35b ソース部

4c、23c、35c ドレイン部

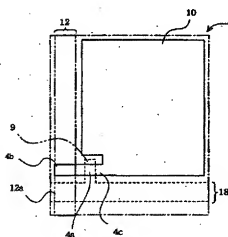
5a、5b、5c、21a、21b、21c、33a

- レジスト
 6、22、32 絶縁層
 7、20 金属層
 8、34 絶縁膜
 9 ゲート電極
 10 画素電極
 10a 同型画素電極
 10b 反射画素電極
 11、24 導電膜
 12 ソース信号線
 13 保護層
 14 共通電極
 15、104 液晶配向膜

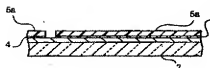
【図1】



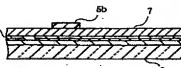
(b)



【図3】

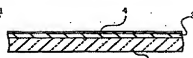


【図4】

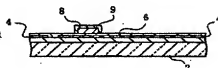


- 18 ゲート信号線
 31 合金膜
 35d 絶縁要素
 100 液晶表示パネル
 102 カラーフィルタ層
 103、202 対向電極
 105 接着剤
 106 スペース
 107、108 偏光板
 10 110 対向基板
 120 液晶層
 200 電界発光 (EL) 表示パネル
 201 発光層

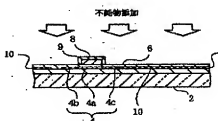
【図2】



【図5】



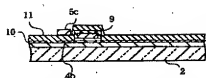
【図6】



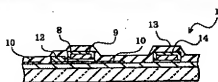
【図8】



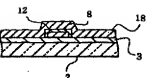
【図 7】



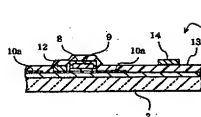
【図 11】



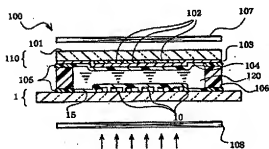
【図 9】



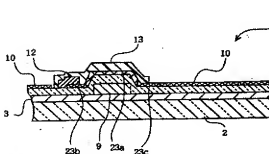
【図 12】



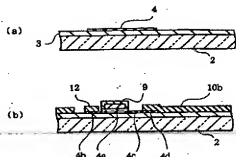
【図 13】



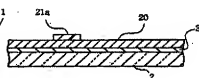
【図 15】



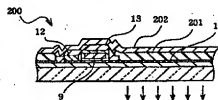
【図 10】



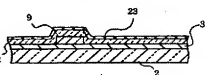
【図 16】



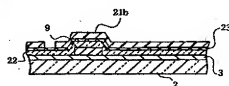
【図 14】



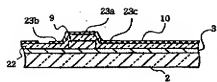
【図 17】



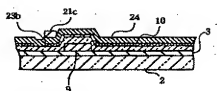
【図 18】



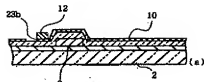
【圖 19】



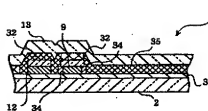
【圖 20】



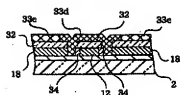
【圖 21】



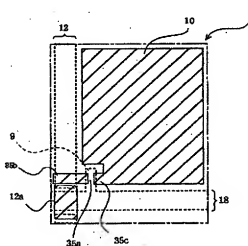
【圖 22】



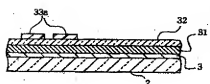
【圖 27】



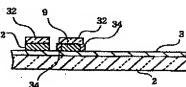
(b)



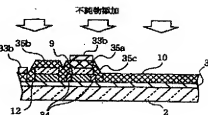
【圖 23】



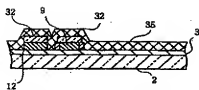
【圖 24】



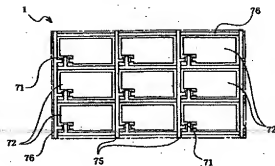
【圖 26】



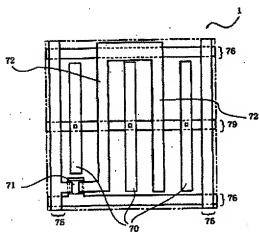
【図 25】



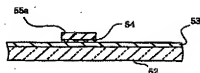
【図 28】



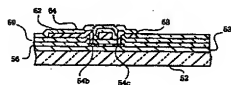
【図 29】



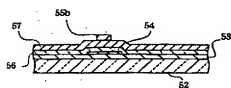
【図 30】



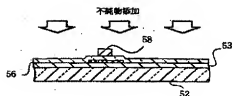
【図 35】



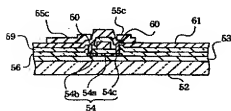
【図 31】



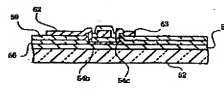
【図 32】



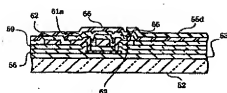
【図 33】



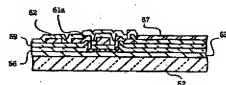
【図 34】



【図 36】



【図 37】



フロントページの続き

(51) Int. Cl.⁷

H 0 1 L 29/786

識別記号

F I

H 0 1 L 29/78

7-73-7 (参考)

6 1 2 C

6 1 8 B

F ターム (参考) 2H092 HA05 JA24 JA26 KA18 KB04

MA08 MA14 MA15 MA24 NA27

NA29 QA07

4M104 AA09 BB02 CC05 DD37 EE03

EE16 EE17

5C094 AA43 BA03 BA29 BA43 CA19

DA14 DA15 DB01 DB04 EA04

EA07 FB12 FB14 FB15

5F110 AA16 BB01 CC02 CC08 DD01

DD02 DD11 DD13 EE03 EE06

EE34 EE44 FF01 FF02 FF03

FF30 GG01 GG02 GG04 GG13

GG25 GG35 GG41 GG43 GG45

HJ01 HJ04 HJ13 HK03 HM14

HM19 NN02 NN23 NN24 NN32

NN72 QQ11